实验2 简单计算机系统基本模块设计B-实验报告

电 25 吴晨聪 2022010311

# 2.1 RAM模块设计

**(1) 参照上面的步骤，实现对RAM模块【8位】的仿真验证；分析仿真结果.**

和ROM的设计类似，RAM模块也主要由两个部分组成，一个是由系统的RAM:1-PORT生成的8位cpuram，是RAM的主体；另一个是地址和数据的提示模块addrDataGen，负责指定地址和输入数值。

和ROM不同的是，RAM的数不是提前写好的，而需要采取手动指定地址和输入数的方式来进行，因此addrDataGen的设计就是每隔4个clk就让地址和data加1，使地址在0~10之间循环，使数据在0~15之间循环，此外wren写入使能位也在0和1之间跳转，这样能够验证RAM的全部功能。

一張含有 文字, 螢幕擷取畫面, 圖表, 行 的圖片

AI 產生的內容可能不正確。

图1 8位RAM模块的内部连接方式

由于所有的情况都在addrDataGen中加以考虑，所以RAM的testbench只需要施加一个时钟信号并观察输出即可。由仿真结果可以看出，该RAM能够根据addr以及wren的指令进行读写数据，验证了该RAM的功能是可行的。

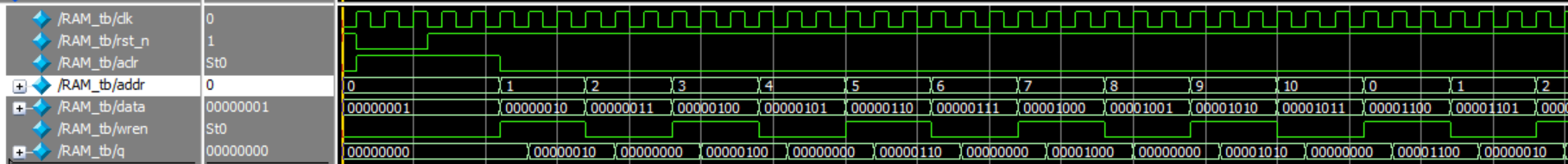


图2 8位RAM模块的测试结果

**(2) 设计32位位宽的RAM模块；给出仿真结果.**

与 8位的RAM原理类似，只需将输入数据和输出数据的寄存器位数从8位改为32位即可，具体实现在代码文件的RAM2.v中。

一張含有 文字, 螢幕擷取畫面, 圖表, 行 的圖片

AI 產生的內容可能不正確。

图3 32位RAM模块的内部连接方式

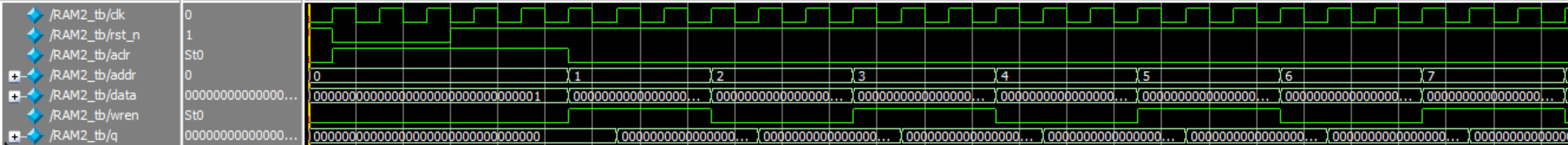


图4 32位RAM模块的测试结果

# 2.2 标志位寄存器模块设计

**(1) 参照上面的步骤，设计、仿真flag模块.**

flag模块受时钟信号的控制可以在需要时有序地记录alu计算得到的进位，并在一个clk周期以后输出到alu的进位输入里，从而实现alu的高位计算。

一張含有 螢幕擷取畫面, 行, 多媒體軟體, 繪圖軟體 的圖片

AI 產生的內容可能不正確。

图5 flag模块的测试结果

**(2) 编写顶层文件cpuA.v及其测试文件；测试加减与或等操作；设置适当的初值，对包含进位、借位的操作进行验证；分析仿真结果.**

cpuA模块由alu模块和flag模块组成，其中alu模块执行计算功能，是纯逻辑电路。由alu和flag组成的cpuA是一个时序的能完成一定计算任务的模块。

alu模块沿用实验1中的设计。flag模块主要由clk、rst\_n、flagwrite和flagin四个输入，仅有一个flagout输出。其中flagwrite标志是否允许写入flag，如果flagwrite=1则将flagin的数据写入到flagout中；如果flagwrite=0则flagout将维持上次的输出。

测试代码的编写也有一些规范，比如在进行有进位的加法（有进位的减法）前一定要先进行一次无进位的加法（无进位的减法），从而确保进位加减法的进位是有含义的。而在进行加减法的时候都将flagwrite设为1，在进行与或运算的时候都将flagwrite设为0。

一張含有 螢幕擷取畫面, 電子產品, 多媒體軟體, 電路 的圖片

AI 產生的內容可能不正確。

图6 cpuA模块的测试结果

如上图所示是cpuA的运行结果，其中alucs表示运算符，从0到6分别对应了（与、或、加、减、比较、进位减、进位加）。可以看到在进行加法后产生的进位能正确加在进位加法中，减法后产生的借位也能体现在进位减法中，这说明flag模块按照设定的逻辑正常运行了。

**(3) 如果要求alu输出信号zero，也存入标志寄存器，应修改哪些相关模块？如何修改？给出具体实现.**

考虑到zero的记录的话还需要在flag模块中增加一位zeroin的输入，如果要输出上次运算的zero位的话也需要增加一位zeroout的输出，下图为具体实现代码。

一張含有 文字, 螢幕擷取畫面, 字型 的圖片

AI 產生的內容可能不正確。

图7 alu输出信号zero的flag模块的实现代码